

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-188401

(43)Date of publication of application : 30.07.1993

(51)Int.Cl.

G02F 1/136  
G02F 1/1343  
H01L 27/12  
H01L 29/784

(21)Application number : 04-164595

(22)Date of filing : 23.06.1992

(71)Applicant : KOREA ELECTRON TELECOMMUN

(72)Inventor : KIM DONG-GOO  
PARK GYEONG-LYONG  
PARK SIN-CHONG  
PARK CHUL-SUN  
PARK HYUNG-MOO

(30)Priority

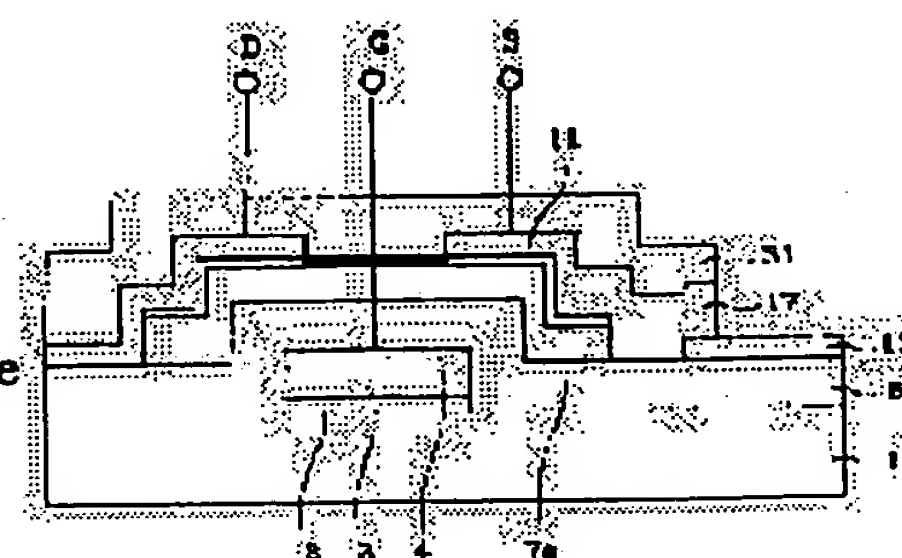
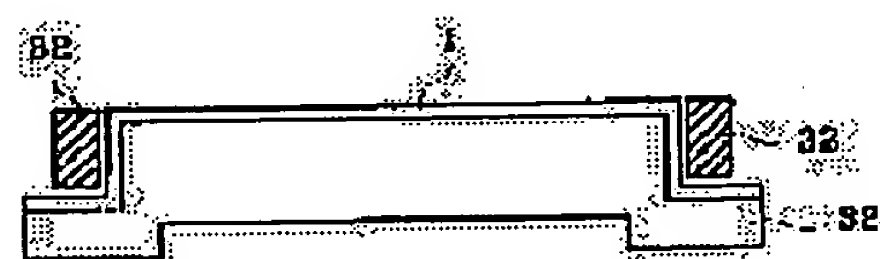
Priority number : 91 9110538    Priority date : 24.06.1991    Priority country : KR

## (54) PRODUCTION OF LARGE-SIZED THIN-FILM TRANSISTOR(TFT) LIQUID CRYSTAL DISPLAY PANEL

(57)Abstract:

**PURPOSE:** To prevent the degradation in a yield with an increase in size, to lessen the resistance of gate bus lines and to minimize the shorting between wirings from gate insulating films or the intersected parts of the wirings.

**CONSTITUTION:** This process for production includes a stage for producing unit thin-film transistor(TFT) panels on a polyimide supporting base 33 and a stage for aligning and fixing the unit TFT panels in matrix on a glass substrate 17, then electrically connecting and joining the drain bus lines and gate bus lines of the ends of the unit TFT panels to be joined to each other by an ink jet method. The unit TFT panels are constituted by forming gate metals of three layers Cr/Cu/Cr, forming the respective gate bus lines and drain bus lines on the upper and lower surfaces of the polyimide thin films and connecting drain pads and the drain bus lines by a via hole stage.



## LEGAL STATUS

[Date of request for examination]

23.06.1992

[Date of sending the examiner's decision of rejection]

✓ [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2579106

[Date of registration] 07.11.1996

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] The process which manufactures a unit thin film transistor panel on polyimide susceptor (33), After carrying out alignment immobilization of the unit thin film transistor panel on a glass substrate (17) at a matrix, The manufacture approach of the large-sized thin film transistor liquid crystal display panel characterized by including the process which carries out electric connection by the ink jet approach, and joins the drain bus and gate buses of an edge part of the above-mentioned unit thin film transistor panel joined.

[Claim 2] In claim 1, the process which manufactures a unit thin film transistor panel The 1st process which forms a gate electrode and a gate bus after vapor-depositing the gate metal of three layers (2, 3, 4) on a polyimide substrate (1), In order to prevent the 2nd process which vapor-deposits a gate insulating layer (6), the 3rd process which forms a semi-conductor layer (7), and damage on the above-mentioned semi-conductor layer (7), The 4th process which forms an etching stopper, and the 5th process which forms a channel layer (7a), The 6th process which etches between the above-mentioned source and a drain after vapor-depositing n+ layer for ohmic contact of the source and a drain, The 7th process which forms a transparent electrode (ITO), and the 8th process which forms a source electrode and a drain electrode, The manufacture approach of the large-sized thin film transistor liquid crystal display panel characterized by being constituted by the 9th process which forms the drain bus of a thin film transistor, and the 10th process which forms the passivation film (31) by the PECVD approach.

[Claim 3] The process which joins a unit thin film transistor panel by the large-sized thin film transistor liquid crystal display panel in claim 1 is the manufacture approach of the large-sized thin film transistor liquid crystal display panel which is fixed with epoxy and characterized by carrying out flattening by burying mask-less polyimide in-line breadth of 10-50 micrometers by the ink jet approach after aligning the above-mentioned unit thin film transistor panel on a glass substrate (7).

[Claim 4] The process which connects electrically the gate bus and drain bus of the unit thin film transistor panel arranged in the matrix direction by the ink jet approach in claim 1 is the manufacture approach of the large-sized thin film transistor liquid crystal display panel which uses copper as wiring matter and is characterized by wiring width of face being 10-30 micrometers.

[Claim 5] It is the manufacture approach of the large-sized thin film transistor liquid crystal display panel which polyimide is used for the passivation film (29) and is characterized by wiring width of face being 20-60 micrometers in order to improve the dependability of the drain bus by which connection was carried out [ above-mentioned ], and a gate bus in claim 1.

[Claim 6] In claim 2, the gate metal of three layers consists of a 1st chromium thin film (2), a copper thin film (3), and a 2nd chromium thin film (4). It is the manufacture approach of the large-sized thin film transistor liquid crystal display panel which the thickness of 100-200A and the above-mentioned copper thin film (3) of the thickness of the above-mentioned 1st chromium thin film (2) is 1000-2000A, and is characterized by the thickness of the above-mentioned 2nd chromium thin film (4) being 100-200A.

[Claim 7] In claim 2, the process which forms the drain bus of a thin film transistor A BUAIA hole process is carried out by the RIE approach for every drain putt. After BUAIA (25) penetrates a polyimide substrate (1) and arrives at a lower side, the matter which buries above-mentioned BUAIA (25) by electroless deposition, and buries above-mentioned BUAIA (25) Copper is used. The diameter of above-

mentioned BUAIA (25) It is 25-50 micrometers. In the lower side of the above-mentioned polyimide substrate (1) It is the manufacture approach of the large-sized thin film transistor liquid crystal display panel which drain bus wiring is formed so that the adjoining thin film transistor may be linked, aluminum is used for the wiring matter, and is characterized by aluminum thickness being 3000-5000A.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the manufacture approach of a large-sized thin film transistor liquid crystal display panel (LiquidCrystal Display panel). In more detail Use a 5-15 inches (inch) polyimide (polyimide) substrate vertical side, and a thin film transistor (Thin Film Transistor:TFT) array (ARRAY) is formed. It is related with the approach of manufacturing a 20-60 inches large-sized thin film transistor liquid crystal display panel, holding the yield of a unit liquid crystal display panel by manufacturing a unit liquid crystal display panel and making a matrix (matrix) join this.

[0002]

[Description of the Prior Art] The manufacture approach of the usual liquid crystal display panel carries out the wiring process of the gate and a drain bus in the direction perpendicular to a thin film transistor component process on a single glass substrate using a semi-conductor production process, and the thin film transistor of inverted arch-SUTAGGADO (inverted-staggered) structure is connected with an array gestalt at a mutual electrical-and-electric-equipment target. The unit process which forms the metal membrane of the usual large-sized thin film transistor liquid crystal display panel, a semi-conductor layer, an insulating layer, etc. is a process which forms a thousands of A detailed pattern.

[0003] Therefore, when using aluminum with a gate electrode and gate wiring, by association of hillrock (hillock) etc., between wiring of gate dielectric film or a wiring intersection, the percent defective by the short circuit becomes high, the yield of a product falls, and working costs become high.

[0004] making it amorphous silicon nitride (SiNX) have a two-layer insulating layer formed with the aluminum oxide (aluminum 2O3) by which was made to carry out two-poles oxidation of the above-mentioned gate metal, and was made to shorten the gate delay by aluminum of low resistance, and two-poles oxidation was carried out, although aluminum is used with a gate metal in order to solve this problem [ like ] -- the yield of a 20-40 inches large-sized thin film transistor liquid crystal display panel -- being certain -- an extent improvement is carried out.

[0005]

[Problem(s) to be Solved by the Invention] However, resistance of aluminum gate metal is still high, and when embodying a large-sized thin film transistor panel 40 inches or more, many problems are for the propagation delay of the gate to acquire high clear image quality.

[0006] When embodying \*\* and a large-sized panel 40 inches or more on one glass substrate, there is many constraint in respect of yield.

[0007] When the manufacture approach of the conventional thin film transistor liquid crystal display



panel [ like / the above ] manufactures a large-sized panel, resistance of the gate bus of a thin film transistor becomes large, and the yield by line association has the trouble of falling rapidly.

[0008] The purpose of this invention is offering the manufacture approach for contracting the gate propagation delay by high resistance of the gate bus of a thin film transistor liquid crystal display panel, preventing the short circuit during wiring which may set to a thin film transistor production process, and is generated, and making high yield of a large-sized liquid crystal display.

[0009]

[Means for Solving the Problem] This invention forms three layer of Cr/Cu/Cr with a gate metal, contracts resistance of a gate bus, forms a thin film transistor and a gate bus, and a drain bus in a polyimide substrate top and an inferior surface of tongue respectively, and carries out the short circuit during wiring from gate dielectric film or a wiring intersection to minimum-ization by connecting a drain bus with a drain pad according to a BUAIA hole (Via hole) process.

[0010] Moreover, although it is made into a unit panel and the unit panel is joined to a line and a train on a glass substrate after a thin film transistor panel completes a transistor panel in consideration of the point which is the array repeated periodically on the polyimide substrate with the high present yield which is 5-15 inches The drain of an edge part and the bus of the gate which should carry out between [ unit panels ] junction are electrically connected with an ink jet (ink ject) method, and the yield fall according to enlargement is prevented by making panel size extend to a multiple.

[0011]

[Example] Hereafter, the attached drawing explains this invention to a detail.

[0012] Drawing 1 shows polyimide susceptor.

[0013] In order that this invention may make homogeneity stick the polyimide film to susceptor (fixture) before gate metal vacuum evaporatio~~no~~, the cross section made from Teflon uses the susceptor by which special manufacture was carried out so that a diameter might consist of forms where the flange is attached to zero square ring (32) and the hat of the original form, by 5 - 15 inch polyimide film, susceptor (33).

[0014] At the photoresistor process, the vacuum chuck of a spinner was equipped with the susceptor with the metal vacuum evaporatio~~no~~ process, and at the photolithography (photolithography) process, it was designed so that a stepper might be equipped.

[0015] In order that drawing 10 may realize this invention from drawing 2, the production process of a display-panel thin film transistor is shown.

[0016] The attached drawing explains the manufacture approach of the large-sized thin film transistor liquid crystal display panel as an example of this invention as follows.

[0017] (The 1st process) Drawing 2 shows the process which forms a gate electrode, and a gate bus, after vapor-depositing the gate metal of three layers.

[0018] First, in order to form a gate electrode and a gate bus, by the DC sputtering (sputtering) approach, the 1st chromium (Cr) thin film (2) of 100 - 200A thickness is vapor-deposited on a polyimide substrate (1), and the 2nd chromium thin film (4) of 100 - 200A thickness is again vapor-deposited for the copper (Cu) thin film (3) of 1000 - 2000A thickness after vacuum evaporatio~~no~~ on the above-mentioned chromium thin film (2).

[0019] At this time, the reason for using the polyimide film as a substrate has good thermal resistance, and is transparent, and in the junction process of the unit thin film transistor which should be performed later, since it is advantageous, the kapton film or uplex film of Dirpout is used for it. [ of thermal resistance ]

[0020] The 1st chromium thin film (2) carries out the role which improves adhesive strength of a polyimide substrate (1) and a copper thin film (3). A copper thin film (3) which can improve a gate pulse propagation delay rather than the case where aluminum is used with a gate metal, and the 2nd chromium thin film (4) In order to perform the obstruction role which prevents the reaction of a copper thin film (3) and the silicon nitride layer which is a gate insulating layer and to hold the stable interface, the fault by hillrock (hillock) etc. is lessened [ rather than ] with a gate metal using aluminum. For this reason, yield can be improved at the time of panel manufacture.

[0021] A gate electrode is formed, after defining a gate field by using a photoresistor (5) as a mask if vacuum evaporation of the gate metal of three layers is completed like the above then.

[0022] When using a  $\text{KMnOH}:\text{NaOH}$  (1:1) solution as etching fluid when etching a chromium thin film (2 4) at this time, and etching a copper thin film (3), it is 30% $\text{FeCl}_3$  as etching fluid. A solution is used.

[0023] (The 2nd process) Drawing 3 shows the process which vapor-deposits a gate insulating layer.

[0024] Amorphous silicon nitride ( $\text{SiNX}$ ) is vapor-deposited by about 3000Å thickness, and a gate insulating layer (6) is made to form by the PECVD approach.

[0025] (The 3rd process) Drawing 4 is what showed the process which forms a semi-conductor layer, vapor-deposits amorphous silicon (amorphous silicon) to 1200–1500Å thickness by the PECVD approach, and makes a semi-conductor layer (7) form.

[0026] (The 4th process) Drawing 5 shows an etching stopper (etching stopper) formation process.

[0027] First, in order to prevent damage on a semi-conductor layer (7), about 300Å thickness is made to vapor-deposit amorphous silicon nitride (8) by the PECVD approach in the etching process of  $n^+$  layer carried out from now on.

[0028] then, a photoresistor (9) — a mask — carrying out — the source and a drain part — dry etching (dry etching) — it etches by law.

[0029] At this time, the gasometer used is  $\text{CF}_4+\text{O}_2$ .

[0030] (The 5th process) Drawing 6 shows the process which forms a channel layer.

[0031] A semi-conductor layer (7) is etched by the dry etching method by using a photoresistor (10) as a mask, and a channel layer (7a) is made to form.

[0032] The gasometer used at this time is  $\text{CF}_4+\text{O}_2$ .

[0033] (The 6th process) Drawing 7 shows the process which etches between the source and drains after vapor-depositing  $n^+$  layer for ohmic contact (Ohmic Contact) of the source and a drain.

[0034]  $n^+$  layer (11) is vapor-deposited to about 300Å thickness by the PECVD approach for ohmic contact of the source and a drain.

[0035] Then, between the source and a drain is etched by the dry etching method by using a photoresistor (12) as a mask.

[0036] The gasometer used at this time is  $\text{CF}_4+\text{O}_2$ .

[0037] (The 7th process) Drawing 8 shows a transparent electrode (ITO) formation process.

[0038] First, ITO is vapor-deposited to 1500–2000Å thickness by the sputtering approach.

[0039] Then, after defining a transparent electrode (13) by using a photoresistor (14) as a mask, a transparent electrode is formed by the dry etching method.

[0040] The gasometer used at this time is  $\text{CH}_2\text{OH}+\text{HNO}_3$ .

[0041] (The 8th process) Drawing 9 shows the process which forms a source electrode and a drain electrode.

[0042] By the sputtering approach, aluminum thin film (15) is vapor-deposited to 3000–5000Å thickness.

[0043] Then, it etches, after defining a source electrode and a drain electrode by using a photoresistor (16) as a mask.

[0044] The etching fluid used at this time is  $\text{H}_3\text{PO}_4+\text{HNO}_3$  solution.

[0045] (The 9th process) To each drain pad (26 of drawing 13) of every [ of a thin film transistor ] A BUAIA hole (Viahole) process is carried out by the RIE approach. BUAIA (Via) (25 of drawing 13) So that BUAIA (Via) may be fill uped with an electroless deposition method and a contiguity thin film transistor may be linked in respect of the lower part of a polyimide substrate (1), after penetrating a polyimide substrate (1) and enabling it to arrive at a lower side aluminum of 3000–5000Å thickness defines drain bus wiring (24 of drawing 13).

[0046] At this time, copper is used for the diameter of BUAIA as matter which buries 25–50 micrometers and BUAIA of those.

[0047] (The 10th process) As shown in drawing 10, for passivation (passivation), amorphous silicon nitride is formed by the PECVD approach, the passivation film (31) is formed in about 5000Å thickness by vacuum evaporation, and a thin film transistor is completed.

[0048] (The 11th process) If the above-mentioned passivation process is completed, it will cut in the

magnitude of the unit panel to want for alignment of a transistor panel.

[0049] Drawing 11 shows the schematic diagram to the example of the 10-30 inches thin film transistor liquid crystal display panel extended in multiple by aligning in procession four 5-15 inches unit liquid crystal display panels completed from the above-mentioned process, being fixed and connecting a drain bus with each gate electrically with an ink jet method.

[0050] If 4x4 pieces are joined for a unit panel to a matrix, a 20-60 inches large-sized thin film transistor liquid crystal display panel can be manufactured.

[0051] (The 12th process) After drawing 12 aligns a unit panel on a glass substrate (17), it is fixed with epoxy (epoxy) (18) and shows the process to join.

[0052] At this time, by the ink jet method, there is no mask in the empty space between unit panels (22), and flattening is carried out to it by burying polyimide in line breadth of 10-50 micrometers.

[0053] (The 13th process) After it removes the passivation film of the edge part by which between [ unit panels ] connection is made and a gate bus (21) is made to be exposed according to the wiring process between gate buses (21), with an ink jet method, a gate bus joint (23) is formed and each gate bus of each unit panel is connected. At this time, the wiring metal of a gate bus joint (23) is copper, and wiring width of face is 10-30 micrometers. After wiring is completed, for dependability, by the ink jet approach, connection between lines uses polyimide and applies the passivation film (29).

[0054] At this time, wiring width of face is 20-60 micrometers.

[0055] (The 14th process) Drawing 13 is what showed the wiring process between drain buses (24), and after removing the passivation film of an edge part to which a unit panel is connected and exposing a drain bus (24), it forms a drain bus joint (27) by the ink jet approach.

[0056] At this time, process conditions are the same as the wiring process between the above-mentioned gate buses.

[0057] It does not pass over the example shown above to an example of this invention, and this invention is not limited to this example.

[0058]

[Effect of the Invention] Like the above, the problem of the electric short circuit generated from the conventional liquid crystal display panel is solvable by this invention using transparent polyimide substrate both sides, and embodying a thin film transistor panel, and a polyimide substrate lower side's forming the drain bus connected with this drain putt by the BUAIA hole approach, and making a gate bus form in a top face. Moreover, a gate propagation delay is minimum-ized by forming a gate metal by three layers. After using as a unit panel the thin film transistor panel which is 5-15 inches with high yield and carrying out alignment immobilization on a glass substrate at a matrix, by connecting electrically the drain and gate bus of an edge part between unit panels with an ink jet method A large-sized (20-60 inches) liquid crystal display panel can be manufactured holding the yield of a small (5-15 inches) panel.

---

[Translation done.]

#### \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

#### DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The sectional view of polyimide susceptor (polyimide fixture).

[Drawing 2] The sectional view showing the 1st process of the production process of the liquid crystal display-panel thin film transistor (TFT) for realizing this invention.

[Drawing 3] The sectional view showing the 2nd process of the production process of the liquid crystal display-panel thin film transistor (TFT) for realizing this invention.

[Drawing 4] The sectional view showing the 3rd process of the production process of the liquid crystal display-panel thin film transistor (TFT) for realizing this invention.

[Drawing 5] The sectional view showing the 4th process of the production process of the liquid crystal display-panel thin film transistor (TFT) for realizing this invention.

[Drawing 6] The sectional view showing the 5th process of the production process of the liquid crystal display-panel thin film transistor (TFT) for realizing this invention.

[Drawing 7] The sectional view showing the 6th process of the production process of the liquid crystal display-panel thin film transistor (TFT) for realizing this invention.

[Drawing 8] The sectional view showing the 7th process of the production process of the liquid crystal display-panel thin film transistor (TFT) for realizing this invention.

[Drawing 9] The sectional view showing the 8th process of the production process of the liquid crystal display-panel thin film transistor (TFT) for realizing this invention.

[Drawing 10] The sectional view showing the 10th process of the production process of the liquid crystal display-panel thin film transistor (TFT) for realizing this invention.

[Drawing 11] The schematic diagram of the large-sized liquid crystal display panel of this invention which consisted of four unit thin film transistor panels manufactured by the illustrated production process.

[Drawing 12] The sectional view showing the process which connects each gate wiring of the panel of the unit thin film transistor of this invention.

[Drawing 13] The sectional view showing the process which connects each drain wiring of the panel of the unit thin film transistor of this invention.

#### [Description of Notations]

1 Polyimide Substrate

2 Four Chromium metal

3 Metal Copper

6 Gate Insulating Layer (Amorphous Silicon Nitride Film)

7 Semi-conductor Layer (Amorphous Silicon)

8 Etching Stopper (Etching Stopper)

11 N+ Layer

13 Transparent Electrode (ITO)

15 Metal Aluminum

17 Glass Substrate

5, 9, 10, 12, 14, 16 Photoresist

18 Adhesives

19, 24 Drain bus

22 Polyimide (Polyimide)

21, 28 Gate bus

23 Gate Bus Junction

25 Drain BUAIA (Drain Via)

26 Drain Pad

27 Drain Bus Junction

29, 30, 31 Passivation (passivation) film

32 Teflon O Ring

33 Polyimide Susceptor (Polyimide Fixture)

---

[Translation done.]



(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-188401

(43)公開日 平成5年(1993)7月30日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/1343		9018-2K		
H 0 1 L 27/12	A	8728-4M		
29/784		9056-4M		
			H 0 1 L 29/ 78	3 1 1 A
			審査請求 有	請求項の数7(全 8 頁)

(21)出願番号 特願平4-164595

(22)出願日 平成4年(1992)6月23日

(31)優先権主張番号 91-10538

(32)優先日 1991年6月24日

(33)優先権主張国 韓国(KR)

(71)出願人 591044083

財団法人韓国電子通信研究所

大韓民国大田直轄市儒城区柯亭洞161番地

(72)発明者 金 東球

大韓民国大田直轄市大徳区法洞住公アパート202-207

(72)発明者 朴 ▲ぎょん▼龍

大韓民国大田直轄市大徳区中里洞440-8

(72)発明者 朴 晨種

大韓民国大田直轄市中区五柳洞175-1三星アパート11-1205

(74)代理人 弁理士 富田 和子 (外2名)

最終頁に続く

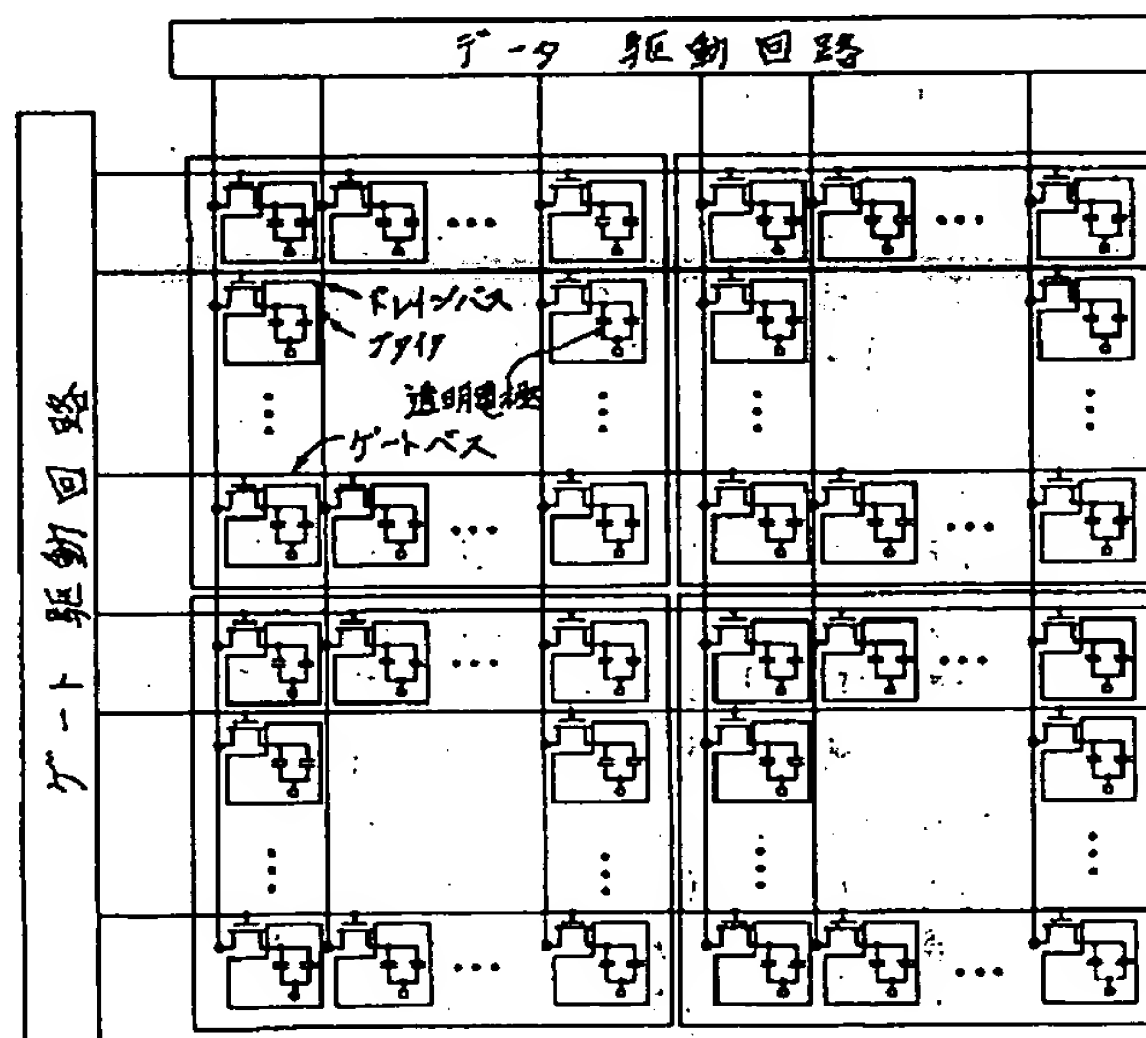
(54)【発明の名称】 大型薄膜トランジスタ(TFT)液晶ディスプレイパネル(LCD panel)の製造方法

(57)【要約】

【目的】大型化に従う収率低下を防止する。また、ゲートバス線の抵抗を小さくすると共に、ゲート絶縁膜又は配線交差部からの配線間の短絡を最少化する。

【構成】ポリイミド支持台(33)上に単位薄膜トランジスタパネルを製造する工程と、ガラス基板(17)上に単位薄膜トランジスタパネルを行列に整列固定した後、接合される上記単位薄膜トランジスタパネルの端部分のドレインバス線とゲートバス線同士をインクジェット方法により電気的連結をして接合する工程とを含む。単位薄膜トランジスタパネルは、Cr/Cu/Cr3層のゲート金属を形成して、ポリイミド薄膜の上・下部面に、各々ゲートバス線とドレインバス線を形成し、ブライアホール工程によりドレインパットとドレインバス線を連結する。

図11



(2)

1

## 【特許請求の範囲】

【請求項1】ポリイミド支持台(33)上に単位薄膜トランジスタパネルを製造する工程と、

ガラス基板(17)上に単位薄膜トランジスタパネルを行列に整列固定した後、接合される上記単位薄膜トランジスタパネルの端部分のドレインバス線とゲートバス線同士をインクジェット方法により電気的連結をして接合する工程とを含むことを特徴とする大型薄膜トランジスタ液晶ディスプレイパネルの製造方法。

【請求項2】請求項1において、単位薄膜トランジスタパネルを製造する工程は、

ポリイミド基板(1)上に3層(2, 3, 4)のゲート金属を蒸着した後、ゲート電極及びゲートバス線を形成する第1工程と、

ゲート絶縁層(6)を蒸着する第2工程と、

半導体層(7)を形成する第3工程と、

上記半導体層(7)の損傷を防止するため、エッチングストoppaを形成する第4工程と、

チャネル層(7a)を形成する第5工程と、

ソースとドレインのオーム接触のためn+層を蒸着した

後、上記ソースとドレイン間を食刻する第6工程と、

透明電極(ITO)を形成する第7工程と、

ソース電極とドレイン電極を形成する第8工程と、

薄膜トランジスタのドレインバス線を形成する第9工程と、

PECVD方法により不動態化膜(31)を形成する第10工程とにより構成されることを特徴とする大型薄膜トランジスタ液晶ディスプレイパネルの製造方法。

【請求項3】請求項1において、単位薄膜トランジスタパネルを大型薄膜トランジスタ液晶ディスプレイパネルで接合する工程は、ガラス基板(7)上に上記単位薄膜トランジスタパネルを整列した後、エポキシで固定し、インクジェット方法により、マスク無しポリイミドを線幅10~50 $\mu$ mに埋めることにより平坦化することを特徴とする大型薄膜トランジスタ液晶ディスプレイパネルの製造方法。

【請求項4】請求項1において、行列表向に配列された単位薄膜トランジスタパネルのゲートバス線とドレインバス線をインクジェット方法により電気的に連結する工程は、配線物質として銅を使用し、配線幅が10~30 $\mu$ mであることを特徴とする大型薄膜トランジスタ液晶ディスプレイパネルの製造方法。

【請求項5】請求項1において、上記連結されたドレインバス線とゲートバス線の信頼性を向上するため不動態化膜(29)は、ポリイミドを使用し、配線幅が20~60 $\mu$ mであることを特徴とする大型薄膜トランジスタ液晶ディスプレイパネルの製造方法。

【請求項6】請求項2において、3層のゲート金属は、第1クロム薄膜(2)、銅薄膜(3)及び第2クロム薄膜(4)で構成され、

2

上記第1クロム薄膜(2)の厚さは100~200 $\text{\AA}$ 、上記銅薄膜(3)の厚さは1000~2000 $\text{\AA}$ であり、

上記第2クロム薄膜(4)の厚さは100~200 $\text{\AA}$ であることを特徴とする大型薄膜トランジスタ液晶ディスプレイパネルの製造方法。

【請求項7】請求項2において、薄膜トランジスタのドレインバス線を形成する工程は、各ドレインパット毎に、RIE方法によりブライアホール工程を実施し、ブライア(25)がポリイミド基板(1)を貫通し下部面に到達された後、無電解メッキにより上記ブライア(25)を埋めるものであり、

上記ブライア(25)を埋める物質は、銅を使用し、上記ブライア(25)の直径は、25~50 $\mu$ mであり、

上記ポリイミド基板(1)の下部面には、隣接する薄膜トランジスタが相互連結されるようドレインバス配線を形成し、

配線物質は、Alを使用し、

Al厚さは、3000~5000 $\text{\AA}$ であることを特徴とする大型薄膜トランジスタ液晶ディスプレイパネルの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、大型薄膜トランジスタ液晶ディスプレイパネル(Liquid Crystal Display panel)の製造方法に関し、更に詳しくは、5~15インチ(inch)のポリイミド(polyimide)基板上下面を利用し薄膜トランジスタ(Thin Film Transistor: TFT)アレイ(ARRAY)を形成し、単位液晶ディスプレイパネルを製造し、これらを行列(matrix)に接合させることにより、単位液晶ディスプレイパネルの収率を保持しながら、20~60インチの大型薄膜トランジスタ液晶ディスプレイパネルを製造する方法に関するものである。

## 【0002】

【従来の技術】通常の液晶ディスプレイパネルの製造方法は、単一ガラス基板上に、半導体製造工程を利用して、薄膜トランジスタ素子工程と垂直な方向に、ゲートとドレインバス線の配線工程を遂行し、インバートースタaggerd(inverted-staggered)構造の薄膜トランジスタがアレイ形態に相互電気的に連結されるようにする。通常の大型薄膜トランジスタ液晶ディスプレイパネルの金属膜、半導体層、絶縁層等を形成する単位工程は、数千 $\text{\AA}$ の微細パターンを形成する工程である。

【0003】従って、ゲート電極及びゲート配線でAlを使用する場合、ヒルロック(hill lock)等の結合により、ゲート絶縁膜又は配線交差部の配線間に短絡

(3)

3

による不良率が高くなり、製品の収率が低下し、生産費が高くなる。

【0004】此の様な問題を解決するため、ゲート金属でAlを使用するが、上記ゲート金属を両極酸化させ、低抵抗のAlによるゲート遅延を短縮させ、両極酸化された酸化アルミニウム ( $Al_2O_3$ ) と共に非晶質窒化珪素 ( $SiN_x$ ) が2層の絶縁層を形成されるようにする事により、20～40インチの大型薄膜トランジスタ液晶ディスプレイパネルの収率が或る程度改善される。

【0005】

【発明が解決しようとする課題】けれど、Alゲート金属の抵抗が依然として高く、40インチ以上の大型薄膜トランジスタパネルを具現する場合に、ゲートの伝搬遅延のため、高鮮明画質を得るのに多くの問題がある。

【0006】亦、40インチ以上の大型パネルを1個のガラス基板上に具現する時、収率面で多くの制約がある。

【0007】上記の如く、従来の薄膜トランジスタ液晶ディスプレイパネルの製造方法は、大型パネルを製造する場合、薄膜トランジスタのゲートバス線の抵抗が大きくなり、線結合による収率が急激に低下するという問題点を持っている。

【0008】本発明の目的は、薄膜トランジスタ液晶ディスプレイパネルのゲートバス線の高抵抗によるゲート伝搬遅延を縮め、薄膜トランジスタ製造工程においてよく発生する配線間の短絡を防止し、大型液晶ディスプレイの収率を高くするための製造方法を提供する事である。

【0009】

【課題を解決するための手段】本発明は、ゲート金属でCr/Cu/Cr3層を形成し、ゲートバス線の抵抗を縮め、ポリイミド基板の上・下面に各々薄膜トランジスタ及びゲートバス線とドレインバス線を形成し、ブライアホール (Via hole) 工程によりドレインパッドとドレインバス線を連結する事により、ゲート絶縁膜又は配線交差部からの配線間の短絡を最少化にする。

【0010】又、薄膜トランジスタパネルが周期的に反復されるアレイである点を考慮し、現在収率が高い5～15インチのポリイミド基板上にトランジスタパネルを完成した後、それを単位パネルにして、ガラス基板上に行・列にその単位パネルを接合するが、単位パネル相互間接合すべき端部分のドレインとゲートのバス線をインクジェット (ink jet) 方式により電氣的に連結し、パネルサイズを倍数に拡張させる事により、大型化に従う収率低下を防止する。

【0011】

【実施例】以下、添付された図面により本発明を詳細に説明する。

【0012】図1は、ポリイミド支持台を示す。

【0013】本発明は、ゲート金属蒸着前にポリイミド

4

膜を均一に支持台 (fixture) へ密着させるため、テフロンで作った断面が正方形のOリング (32) と、原形の帽子につばが付けられているような形で直径が5～15インチポリイミド膜支持台 (33) で構成するよう特殊製作された支持台を使用する。

【0014】その支持台は、金属蒸着工程と共にフォトレジスタ工程ではスピナの真空チャックに装着され、光食刻法 (photolithography) 工程ではステッパに装着されるよう設計された。

10 【0015】図2から図10は、本発明を実現するためディスプレイパネル薄膜トランジスタの製造工程を示す。

【0016】添付された図面により、本発明の実施例としての大型薄膜トランジスタ液晶ディスプレイパネルの製造方法を、次のように説明する。

【0017】(第1工程) 図2は、3層のゲート金属を蒸着した後、ゲート電極及びゲートバス線を形成する工程を示す。

20 【0018】先ず、ゲート電極及びゲートバス線を形成するため、DCスパッタリング (sputtering) 方法により、ポリイミド基板 (1) 上に100～200Å厚の第1クロム (Cr) 薄膜 (2) を蒸着し、上記クロム薄膜 (2) 上に1000～2000Å厚の銅 (Cu) 薄膜 (3) を蒸着後、再び、100～200Å厚の第2クロム薄膜 (4) を蒸着する。

【0019】此の時、基板としてポリイミド膜を使用する理由は、耐熱性が良く、透明であり、後で行なうべき単位薄膜トランジスタの接合工程に於いて有利であるため、Dirpout社のkaptan膜又はuplex膜を使用する。

【0020】第1クロム薄膜 (2) は、ポリイミド基板 (1) と銅薄膜 (3) の接着力を良くする役割をし、銅薄膜 (3) は、ゲート金属でAlを使用する場合よりも、ゲートパルス伝搬遅延を改善する事が出来る。又、第2クロム薄膜 (4) は、銅薄膜 (3) とゲート絶縁層である窒化珪素層との反応を防ぐ障壁役割を行い、安定された界面を保持するため、ゲート金属でAlを使用するより、ヒルロック (hill lock) 等による欠点を少なくする。このため、パネル製作時収率を向上する事が出来る。

【0021】上記の如く、3層のゲート金属の蒸着が完了したら、続いて、フォトレジスタ (5) をマスクとして、ゲート領域を定義した後、ゲート電極を形成する。

【0022】此の時、クロム薄膜 (2, 4) を食刻する場合は、腐食液として、 $KMnOH : NaOH (1 : 1)$  溶液を使用し、銅薄膜 (3) を食刻する場合は、腐食液として、30%  $FeCl_3$  溶液を使用する。

【0023】(第2工程) 図3は、ゲート絶縁層を蒸着する工程を示す。

50 【0024】PECVD方法により、非晶質窒化珪素

(4)

5

( $\text{SiN}_x$ ) を約3000Å厚で蒸着し、ゲート絶縁層(6)を形成させる。

【0025】(第3工程)図4は、半導体層を形成する工程を示したもので、非晶質シリコン(amorphous silicon)をPECVD方法により、1200~1500Åの厚に蒸着し、半導体層(7)を形成させる。

【0026】(第4工程)図5は、エッチングストップ(etching stopper)形成工程を示す。

【0027】先ず、今後遂行されるn+層の食刻工程において、半導体層(7)の損傷を防止するため、PECVD方法で約300Åの厚に非晶質窒化珪素(8)を蒸着させる。

【0028】引き続き、フォトレジスタ(9)をマスクとして、ソースとドレイン部分をドライエッチング(dry etching)法で食刻する。

【0029】此の時、使用されるガス計は、 $\text{CF}_4 + \text{O}_2$ である。

【0030】(第5工程)図6は、チャネル層を形成する工程を示す。

【0031】フォトレジスタ(10)をマスクとして、半導体層(7)をドライエッチング法により食刻し、チャネル層(7a)を形成させる。

【0032】此の時使用されるガス計は、 $\text{CF}_4 + \text{O}_2$ である。

【0033】(第6工程)図7は、ソースとドレインのオーム接触(Ohmic Contact)のため、n+層を蒸着後、ソースとドレインの間を食刻する工程を示す。

【0034】ソースとドレインのオーム接触のため、PECVD方法により約300Å厚にn+層(11)を蒸着する。

【0035】引き続き、フォトレジスタ(12)をマスクとして、ドライエッチング法により、ソースとドレイン間を食刻する。

【0036】此の時使用されるガス計は、 $\text{CF}_4 + \text{O}_2$ である。

【0037】(第7工程)図8は、透明電極(ITO)形成工程を示す。

【0038】先ず、スパッタリング方法で、1500~2000Åの厚に、ITOを蒸着する。

【0039】引き続き、フォトレジスタ(14)をマスクとして、透明電極(13)を定義した後、ドライエッチング法により、透明電極を形成する。

【0040】此の時使用されるガス計は、 $\text{CH}_2\text{OH} + \text{HNO}_3$ である。

【0041】(第8工程)図9は、ソース電極とドレイン電極を形成する工程を示す。

【0042】スパッタリング方法で、Al薄膜(15)を3000~5000Åの厚に蒸着する。

6

【0043】引き続き、フォトレジスタ(16)をマスクとして、ソース電極とドレイン電極を定義した後、食刻する。

【0044】此の時使用される腐食液は、 $\text{H}_3\text{PO}_4 + \text{HNO}_3$ 溶液である。

【0045】(第9工程)薄膜トランジスタの各ドレインパッド(図13の26)毎に、RIE方法でファイアホール(Via hole)工程を実施し、ファイア(Via)(図13の25)を、ポリイミド基板(1)を貫通し下部面に到達出来るようにした後、無電解メッキ法でファイア(Via)を埋め、ポリイミド基板(1)の下部面では隣接薄膜トランジスタが相互連結されるよう、3000~5000Å厚のAlで、ドレインバス配線(図13の24)を定義する。

【0046】此の時、ファイアの直径は、25~50μm、そのファイアを埋める物質として、銅を使用する。

【0047】(第10工程)図10に示した如く、不動態化(passivation)のため、PECVD方法により、非晶質窒化珪素を約5000Åの厚に蒸着により不動態化膜(31)を形成し、薄膜トランジスタを完成する。

【0048】(第11工程)上記不動態化工程が完了すれば、トランジスタパネルの整列のため、欲する単位パネルの大きさに切る。

【0049】図11は、上記工程から完成された5~15インチの単位液晶ディスプレイパネル4個を行列に整列し、固定され各々のゲートとドレインバス線をインクジェット方式により電氣的に連結する事により、倍数的に拡張された10~30インチの薄膜トランジスタ液晶ディスプレイパネルの実施例に対する概略図を示す。

【0050】単位パネルを行列に4×4個を接合したら、20~60インチの大型薄膜トランジスタ液晶ディスプレイパネルを製造することが出来る。

【0051】(第12工程)図12は、ガラス基板(17)上に単位パネルを整列した後、エポキシ(epoxy)(18)で固定し、接合する工程を示す。

【0052】此の時、単位パネル間の空き空間(22)に、インクジェット方式により、マスク無く、ポリイミドを線幅10~50μmに埋める事により、平坦化される。

【0053】(第13工程)ゲートバス線(21)間の配線工程により、単位パネル相互間接続される端部分の不動態化膜を除去し、ゲートバス線(21)が露出されるようにした後、インクジェット方式により、ゲートバス接合部(23)を形成し、各単位パネルの各ゲートバス線を連結する。此の時、ゲートバス接合部(23)の配線金属は、銅であり、配線幅は10~30μmである。配線が完了された後、線間連結が、信頼性のため、インクジェット方法により、ポリイミドを使用し、不動態化膜(29)を塗布する。



(5)

7

【0054】此の時、配線幅は、20～60 $\mu$ mである。

【0055】（第14工程）図13は、ドレインバス線（24）間の配線工程を示したもので、単位パネルの接続される端部分の不動態化膜を除去し、ドレインバス線（24）を露出された後、インクジェット方法によりドレインバス接合部（27）を形成する。

【0056】此の時、工程条件は、上記ゲートバス線間の配線工程と同一である。

【0057】以上に示した実施例は、本発明の一例に過ぎず、本発明は、この実施例に限定されるものではない。

【0058】

【発明の効果】上記の如く、本発明は、透明なポリイミド基板両面を利用し、薄膜トランジスタパネルを具現し、ポリイミド基板下部面は、ファイアホール方法により本ドレインパッドと連結されたドレインバス線を形成し、上面にゲートバス線を形成させることにより、従来の液晶ディスプレイパネルから発生される電氣的短絡の問題を解決する事が出来る。また、3層でゲート金属を形成する事により、ゲート伝搬遅延を最少化し、収率が

高い5～15インチの薄膜トランジスタパネルを単位パネルにし、ガラス基板上に行列に整列固定した後、単位

パネル間の端部分のドレインとゲートバス線をインクジェット方式により電氣的に連結する事により、小型（5～15インチ）パネルの収率を保持しながら、大型（20～60インチ）液晶ディスプレイパネルを製造出来る。

【図面の簡単な説明】  
【図1】ポリイミド支持台（polyimide fixture）の断面図。

【図2】本発明を実現するための液晶ディスプレイパネル薄膜トランジスタ（TFT）の製造工程の第1工程を示す断面図。

【図3】本発明を実現するための液晶ディスプレイパネル薄膜トランジスタ（TFT）の製造工程の第2工程を示す断面図。

【図4】本発明を実現するための液晶ディスプレイパネル薄膜トランジスタ（TFT）の製造工程の第3工程を示す断面図。

【図5】本発明を実現するための液晶ディスプレイパネル薄膜トランジスタ（TFT）の製造工程の第4工程を示す断面図。

【図6】本発明を実現するための液晶ディスプレイパネル薄膜トランジスタ（TFT）の製造工程の第5工程を示す断面図。

8

【図7】本発明を実現するための液晶ディスプレイパネル薄膜トランジスタ（TFT）の製造工程の第6工程を示す断面図。

【図8】本発明を実現するための液晶ディスプレイパネル薄膜トランジスタ（TFT）の製造工程の第7工程を示す断面図。

【図9】本発明を実現するための液晶ディスプレイパネル薄膜トランジスタ（TFT）の製造工程の第8工程を示す断面図。

【図10】本発明を実現するための液晶ディスプレイパネル薄膜トランジスタ（TFT）の製造工程の第10工程を示す断面図。

【図11】図示された製造工程により製造された4個の単位薄膜トランジスタパネルで構成された本発明の大型液晶ディスプレイパネルの概略図。

【図12】本発明の単位薄膜トランジスタのパネルの各ゲート配線を連結する工程を示す断面図。

【図13】本発明の単位薄膜トランジスタのパネルの各ドレイン配線を連結する工程を示す断面図。

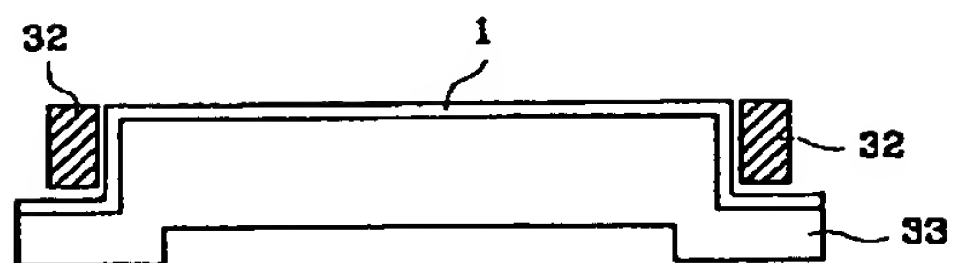
【符号の説明】

- 1 ポリイミド基板
- 2, 4 金属クロム
- 3 金属銅
- 6 ゲート絶縁層（非晶質窒化珪素膜）
- 7 半導体層（非晶質シリコン）
- 8 エッチングストップ（etching stopper）
- 11 n+層
- 13 透明電極（ITO）
- 15 金属Al
- 17 ガラス基板
- 5, 9, 10, 12, 14, 16 フォトレジスト
- 18 接着剤
- 19, 24 ドレインバス線
- 22 ポリイミド（polyimide）
- 21, 28 ゲートバス線
- 23 ゲートバス接合
- 25 ドレインファイア（drain via）
- 26 ドレインパッド
- 27 ドレインバス接合
- 29, 30, 31 不動態化（passivation）膜
- 32 テフロンOリング
- 33 ポリイミド支持台（polyimide fixture）

(6)

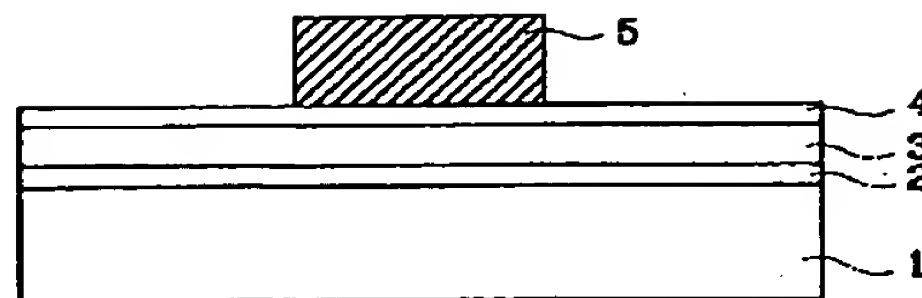
【図1】

図1



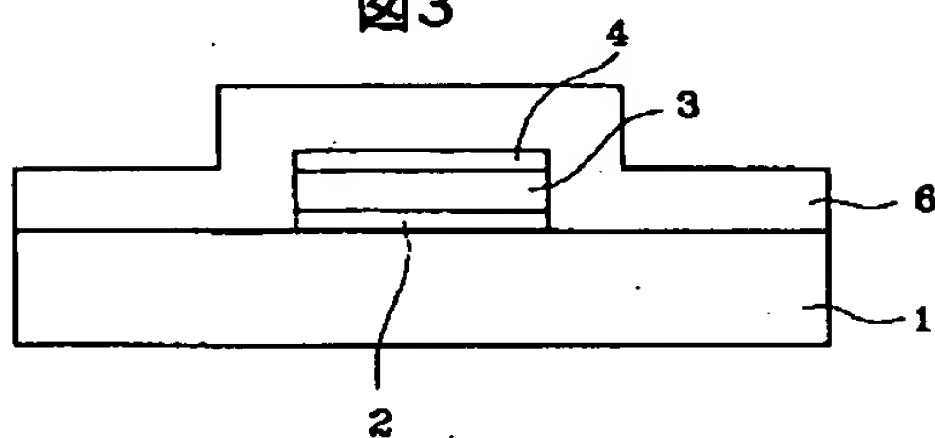
【図2】

図2



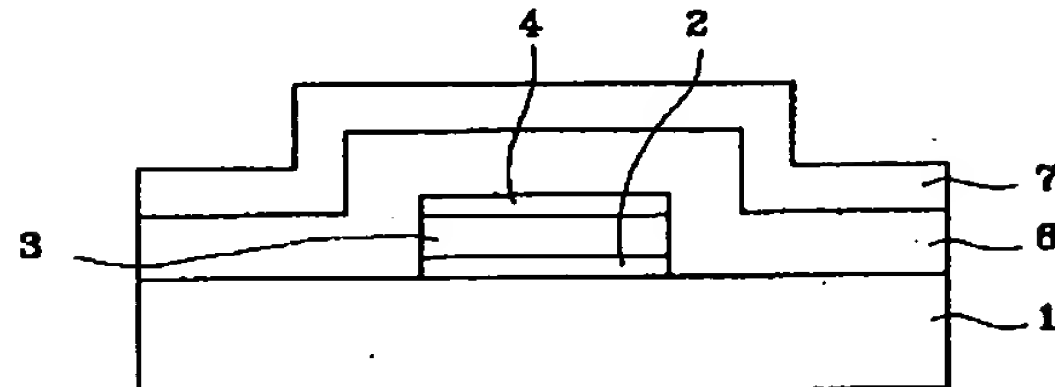
【図3】

図3



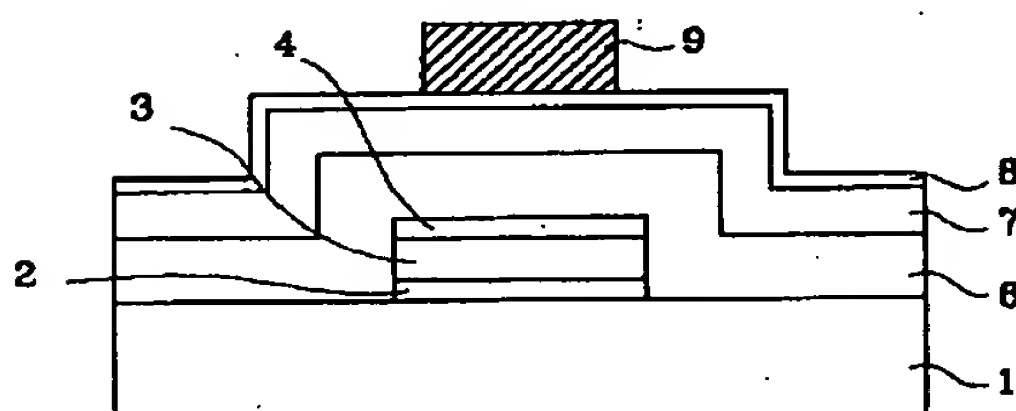
【図4】

図4



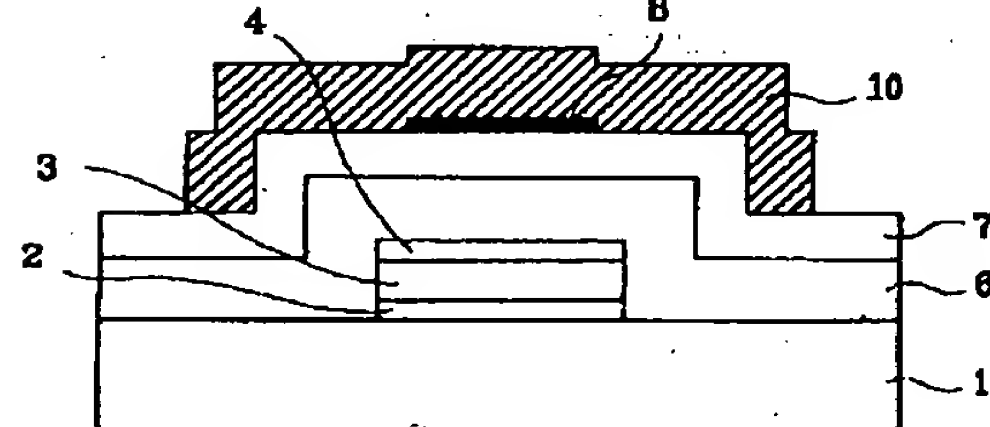
【図5】

図5



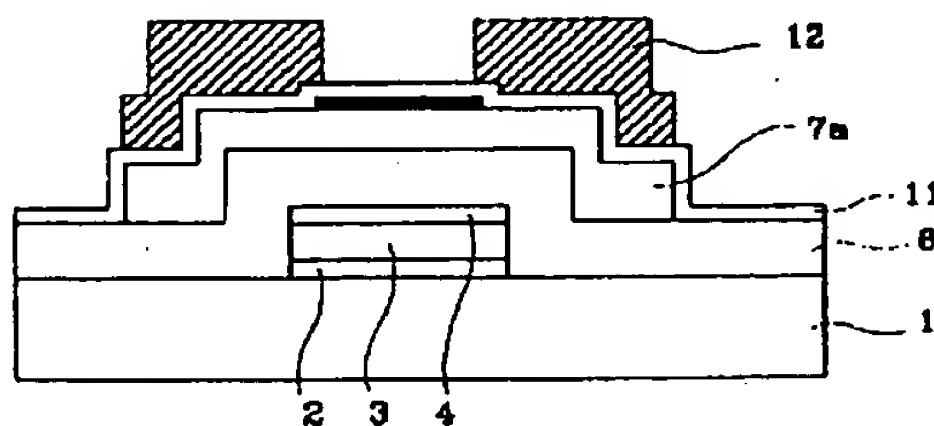
【図6】

図6



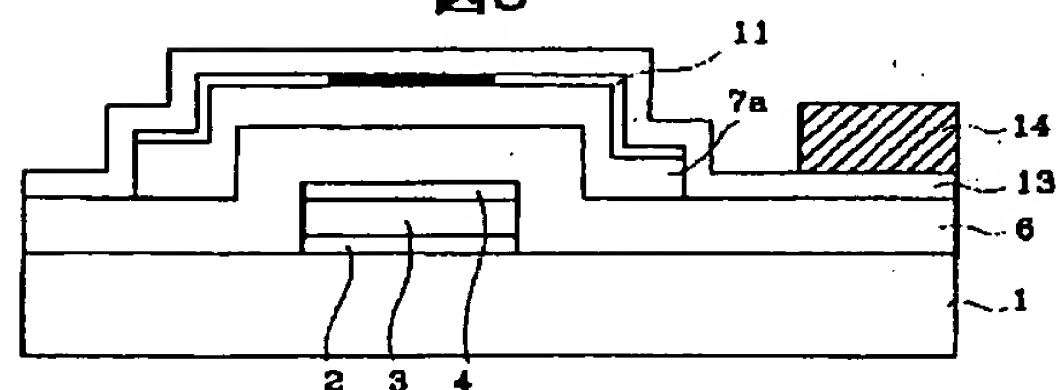
【図7】

図7



【図8】

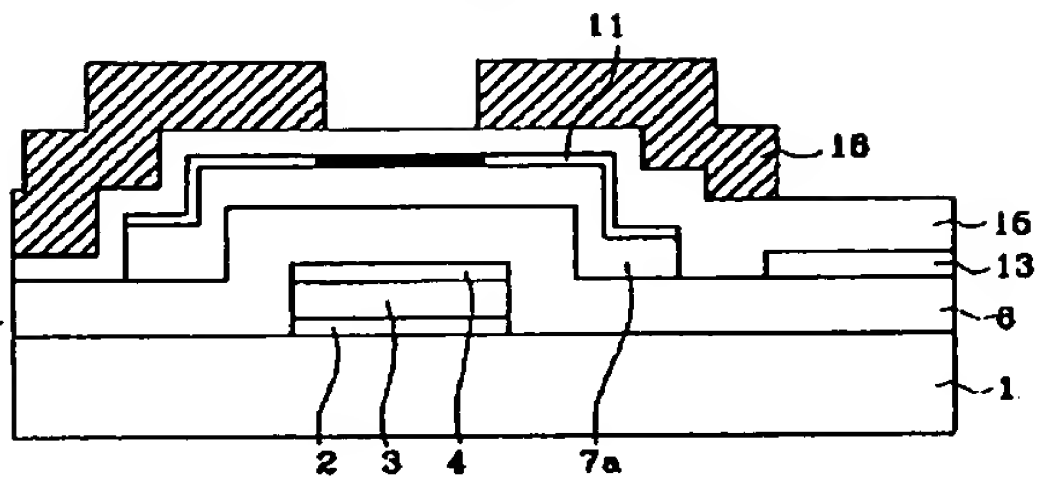
図8



(7)

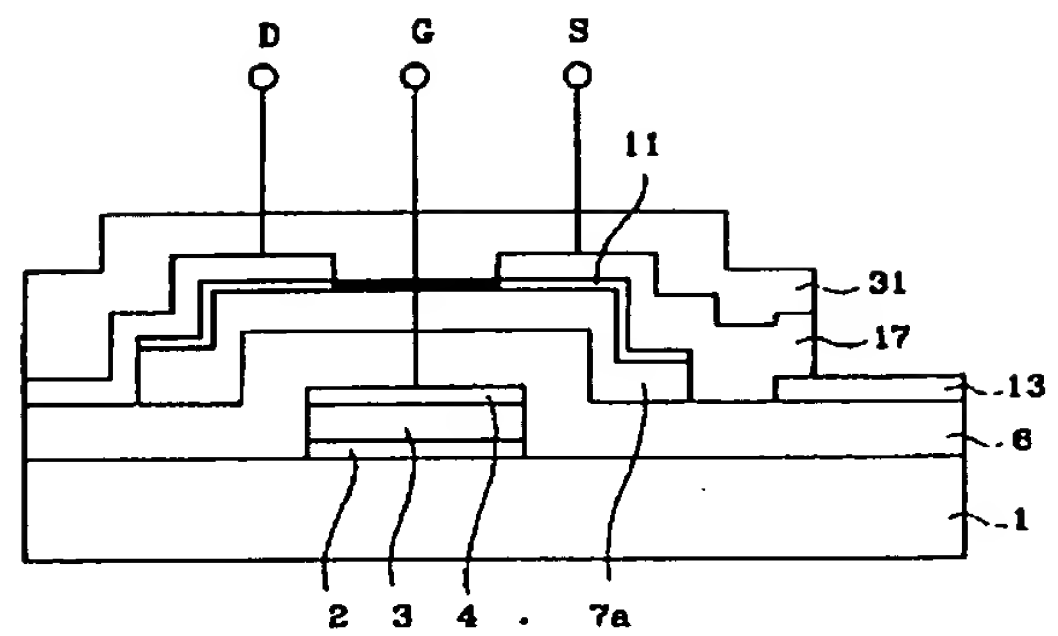
【図 9】

图9



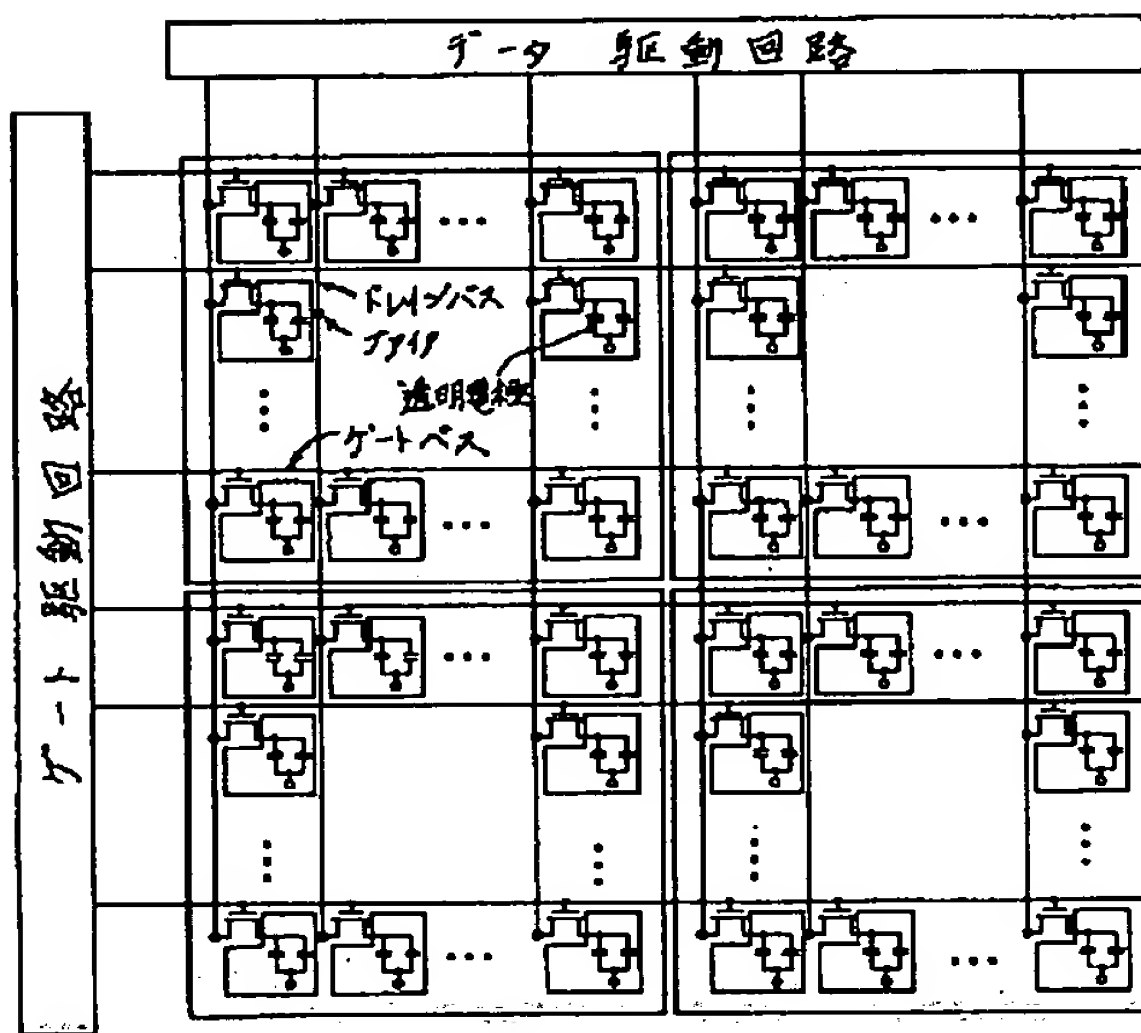
【図 10】

圖 10



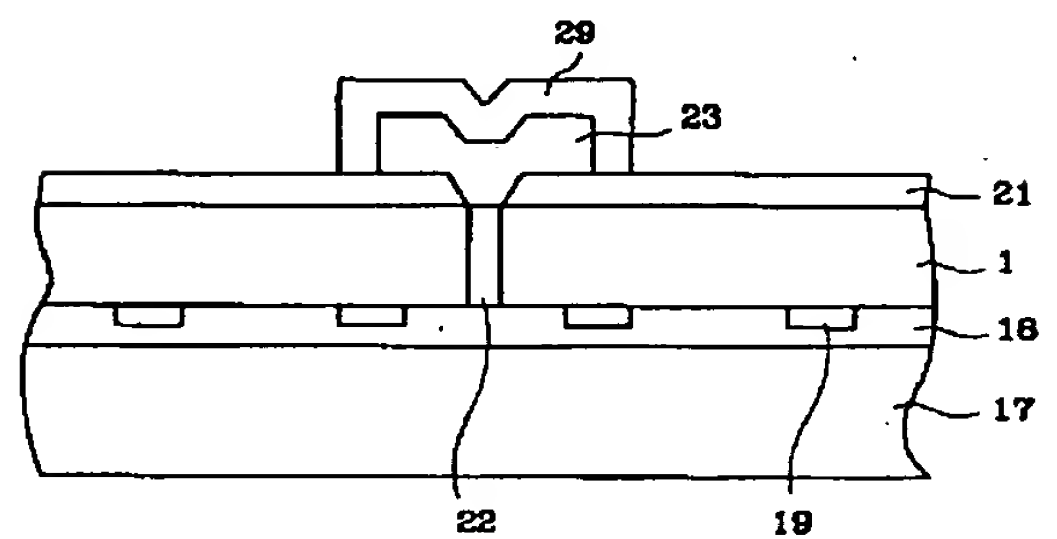
【図 11】

圖 11



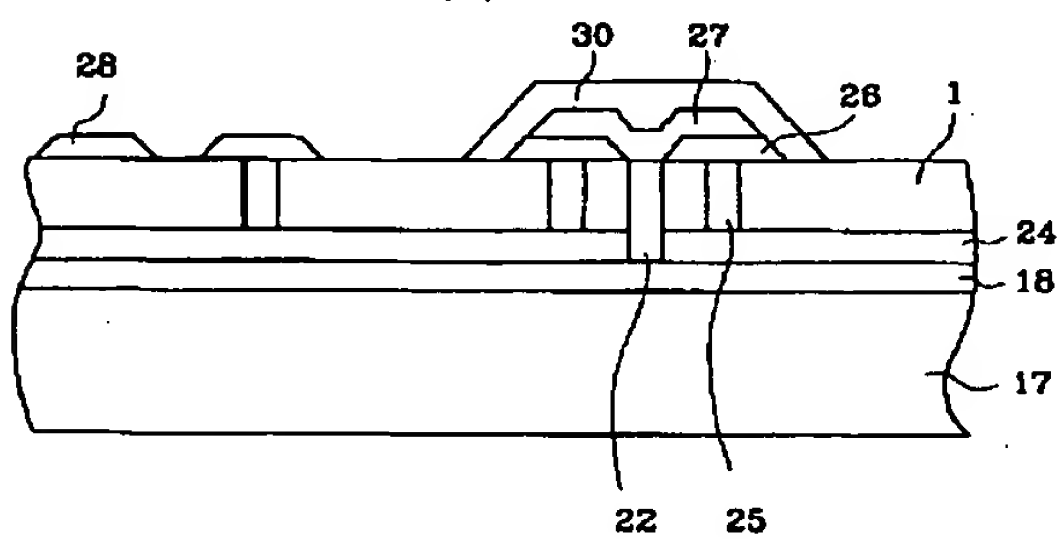
【図 12】

圖 12



【图 13】

圖 13



(8)

フロントページの続き

(72)発明者 朴 ▲哲▼淳  
大韓民国大田直轄市儒城区道龍洞宇城アパ  
ート102-203

(72)発明者 朴 亨茂  
大韓民国大田直轄市西区桃馬2洞京南アパ  
ート108-601